# Міністерство освіти і науки України

**Кіровоградський національний технічний університет**

Кафедра програмування та захисту інформації

Методичні вказівки

до лабораторних робіт

Дисципліна : **Комп’ютерна схемотехніка**

**Лабораторна робота №5**

**Тема: Пам’ять системи**

**Кіровоград 2015**

**Лабораторна робота №5**

**Тема:** Пам’ять системи

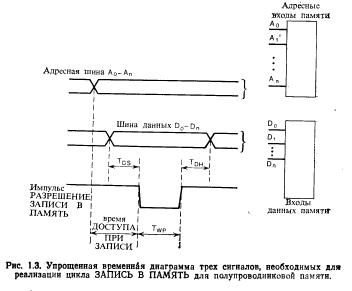
**Мета роботи:** Вивчення типів пам’яті, призначення та застосування, дешифратори корпусів пам’яті.

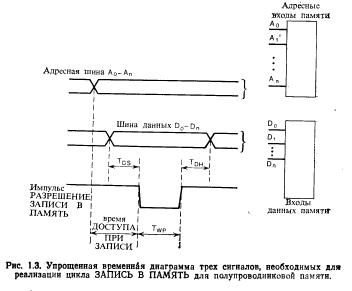
**Теоретичні відомості**

Запис даних а пам'ять

Щоб зрозуміти, яким чином в мікропроцесорній системі здійснюється запис даних в пам'ять, необхідно з'ясувати особливості передачі даних в пам'ять від будь-якого зовнішнього джерела. З цією метою наведемо тимчасову діаграму загального процесу запису даних в напівпровідникову пам'ять, після розгляду якої буде легко показати особливості використання системи з 3 шинами для виконання цієї операції.

Розглянемо рис. 1.3. Зазначимо, що адресні входи пам'яті на малюнку маркуються як А0-А11,





де Аn характеризує максимальне число адресних ліній, необхідних для даного блоку пам'яті. Наприклад, якщо пам'ять організована як 1024X1. то для забезпечення доступу до будь-якої комірки пам'яті необхідно 10 ліній, і адресні лінії будуть позначатися як А0-А9.

Лінії даних маркуються як Do-Do. де D, характеризує максимальне чисто ліній даних пам'яті. Наприклад, якщо нам'яти організована як 256Х4 біт. необхідно чотири лінії даних. Лінії даних такої пам'яті позначаються D0-D8.

Зауважимо також, що як адресні входи, так і входи даних повинні бути активізовані після видачі сигналу дозволі запису. Термін «активізувати» тут означає подачу на адресні лінії та лінії даних рівня напруги, відповідного логічним 1 або 0 і задовольняє прийнятим для використовуваного сімейства логічних схем параметрам. Наприклад, якщо в системі використовуються схеми сімейства TTL, то активізації логічної I відповідає інтервалу 2,4-5.0 В. а логічного 0-0.0-0.4 В.

Інтервал часу, протягом якого повинні зберігатися активізованим адресні та інформаційні входи до видачі сигналу дозволу запису, для різних пристроїв різний. Наприклад, для пристроїв пам'яті типу МОП (метал - окисел-напівпровідник) цей інтервал складає 200 нс, а для пам'яті на схемах TTL - 30 нс. Для точного визначення тимчасових співвідношенні слід ознайомитися з технічною документацією на відповідні вироби.

Аналізуючи рис. 1.3, важливо підкреслити, що незалежно від конкретних часових співвідношень сигналів для заданого пристрої пам'яті мікропроцесорна система повинна задовольнити всіх існуючих часових параметрів для пристрою пам'яті даного типу. Якщо ж ці тимчасові співвідношення не дотримуються, то надійної взаємозв'язку між мікропроцесором і пам'яттю системи забезпечити не вдасться.

Для того щоб успішно реалізувати обробку сигналу запису в пам'ять в системі з 3 шинами, на шинах системи необхідно виконати наступні дії:

1. На адресній шині A0-А15 повинен бути активізований адресу пам'яті (тобто адресу клітинки, куди записуються дані, що генеруються мікропроцесором, з шини даних).

2. На шину даних D0-D8 повинні надійти дані з мікропроцесора. (Ці дані необхідно записати в комірку, адреса якої міститься на адресній шині.)

3. Після здійснення дій I і 2 на лінію запису в пам'ять шини управлінні повинен надійти відповідним чином синхронізований імпульс дозволу запису необхідного рівня напруги. При цьому здійснюється передача даних. Таким чином, шина управління проводить управління системою за допомогою відповідним чином синхронізованих імпульсів.

Однак існує ряд додаткових дій, яким також необхідно приділити увагу. Схеми, реалізують їх, простіше описувати при більш детальному ознайомленні з системою.

Тепер ясно, яким чином сигнали різного логічного рівня на кожній з шин {адресної, даних, управління) взаємодіють між собою при формуванні необхідної вхідної інформації при записі даних в пам'ять системи. Шини системи забезпечують надійне з'єднання мікропроцесора з

пам'яттю системи шляхом формування необхідної комбінації сигналів на входах пам'яті.

Читання даних з пам'яті

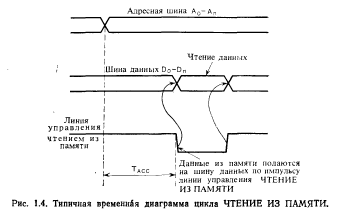
Розглянемо, яким чином у системі з 3 шинами реалізується читання даних з пам'яті. Коротко розглянемо основні особливості читання даних з будь напівпровідникової пам'яті.

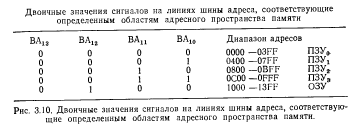
На рис. 1.4 наведена типова тимчасова діаграма виконання операції читання даних з пам'яті. Зазначимо, що відповідно до рис 1.4 адресні лінії А0-Аn повинні бути активізовані зі збереженням стабільного рівня сигналу до моменту часу, коли дані з пам'яті надходять на шину даних по сигналу відповідної лінії шини керування. Згадаймо, що дані в системі передаються з одного пристрою на інший за допомогою шини даних. Для виконання цієї операції шина даних переводиться а такий режим, при якому логічні рівні на цій шині відповідають даним, збереженим у пам'яті. І нарешті, сигнал шини управління визначає потрібний момент видачі даних з пам'яті на шину даних. Таким чином, щоб реалізувати операцію читання даних на пам'яті системи необхідно виконати наступні дії:

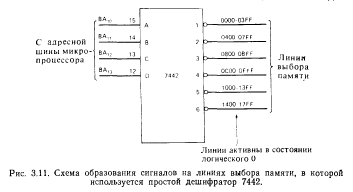
1. Забезпечення стабільних рівнів сигналів на адресної колючці А0-Аn.

2. Підготовка шини даних для прийому даних (тобто вона переводиться в режим прийому даних в мікропроцесор).

3. Після реалізації кроків 1 і 2 активізація шиною управління лінії управління читанням з пам'яті. При цьому дані з пам'яті поступають на шину даних і можуть бути сприйняті мікропроцесором. Як бачимо, реалізація операції читання з пам'яті передбачає взаємодію сигналів відповідних логічних рівнів на всіх трьох шипах.







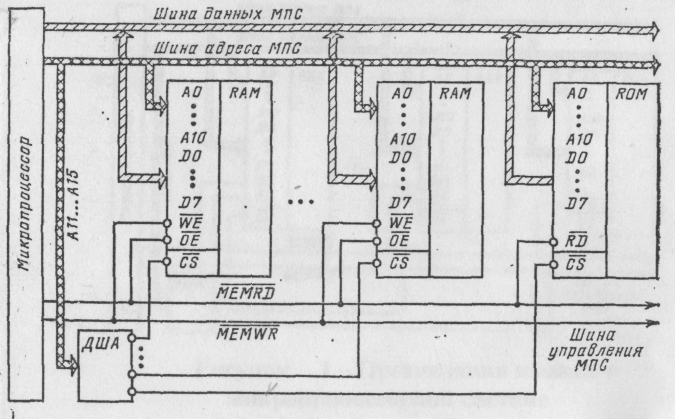
**Управління пам'яттю з боку процесора**

Залежно від необхідного обсягу пам'ять МПС може складатися з декількох кристалів ОЗУ (RAM) і декількох кристалів ПЗУ (ROM) (рис. 2.1). Однойменні розряди шини адреси МПС і шин адреси БІС пам'яті со-единящей між собою. Шини введення - виведення БІС пам'яті з'єднуються з шиною даних МПС.

Для управління записом даних в пам'ять служить сигнал шини управління, читанням з пам'яті - сигнал. Вибір конкретного кристала пам'яті здійснюється за допомогою дешифратора адреси пам'яті ДША, на вхід якого надходять старші розряди з шини адреси МПС (ті, які не подаються на власне шини адреси ВІС). Ці розряди визначають номер кристала, до якого буде звернення з боку процесора.

Виходи дешифратора адреси з'єднуються для цього зі входами вибору кристалу окремих БІС. Як дешифратора використовуються ІС середнього ступеня інтеграції -дешіфратори двійкового коду в десятковий.

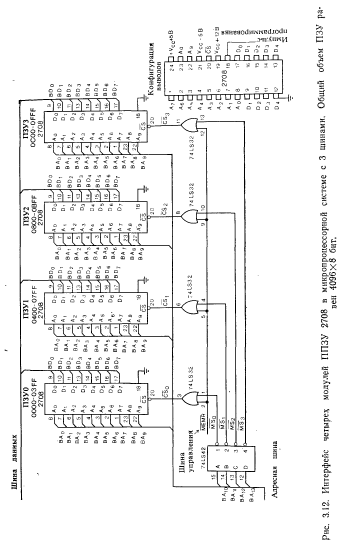
Обмін даними між мікропроцесором і пам'яттю можна проілюструвати на тимчасових, діаграмах (рис.3.2), з яких видно, як формуються сигнали зчитування та запісі інформації.



**Рисунок - Організація пам’яті в мікропроцесорній системі**

Нам вже відомо, що мінімальний інтервал часу, протягом якого мікропроцесор виконує ті чи інші дії називається тактом. Він визначається тактовою частотою генератора, що входить до мікропроцесорну систему.

Кілька тактів, протягом яких слід одне звернення до пам'яті або пристрою вводу / виводу, називається машинним циклом.



**Завдання.**

1. Створити функціональну схему системи МП з ПЗП використовуючи графічний редактор , ємкість пам’яті:

А) ємкість 4к ,2 мікросхеми по 1к(І2708) ПЗУ та 1 мікросхема 2к (HM6516) ОЗУ;

Б) ємкість 4к ,1 мікросхема по 2к(І2716) ПЗУ та 1 мікросхема 2к (HM6516) ОЗУ;

В) ємкість 6к ,2 мікросхеми по 2к(І2716) ПЗУ та 1 мікросхема 2к (HM6516) ОЗУ;

Г) ємкість 6к ,2 мікросхеми по 2к(І2716) ПЗУ та 1 мікросхема 2к (HM6516) ОЗУ;

Д) ємкість 10к ,1 мікросхема по 8к(І2764) ПЗУ та 1 мікросхема 2к (HM6516) ОЗУ;

Е) ємкість 34к ,1 мікросхема по 32к(І27256) ПЗУ та 1 мікросхема 2к (HM6516) ОЗУ;

1. Приклад програми запису даних до пам’яті (ASM-80).
2. Приклад програми зчитування даних з пам’яті (ASM-80).

Вирішити задачу: пересилання даних.

Така операція може бути в пpигоді з роботою з АЦП, формирування строки даних яка виводиться на екран дісплея.

Дана задача складається в пересиланні даних з одного місця пам'яти в друге.

Хай довжина масиву задана в коміpці за адресою ADR1, дані містяться, починая з адреса ADR2 і область, в яку вони переси­лаються, починая з адреса ADR3. Масив складається з двух елементів, розташованих відповідно в коміpках з адресами ADR2 та ADR2+1:

ADR1 = 0810H

(0810) = 02H - розмір масиву (він же - лічильник)

ADR2 = 0811H

(0811) = 7EH - 1 елемент масиву

ADR2+1 = 0812H

(0812) = 55H - 2 елемент масиву

В результаті пересилання утpимане коміpки з адресом ADR2 пересила- ється в коміpку з адресом ADR4, а утpимане коміpки з адресом ADR3 - в коміpку з адресом ADR4+1:

Програма:

0800 ORG 800H

0800 211008 LXI H,ADR1 ;завантажити показник на коміpку

0803 ;яка містить довжину масива

0803 46 MOV B,M ;завантажити довжину масива

0804 111208 LXI D,ADR3 ;послідуючим інкрементуванням

0807 ;регістрів H і D отpимуєм

0807 ;доступ до перших єлементів

0807 ;масивів

0807 23 TRUNS: INX H ;перейти до слідуючого елементу

0808 ;першого масиву

0808 13 INX D ;перейти до слідуючого елементу

0809 ;дpугого масиву

0809 7E MOV A,M ;отpимати елемент першого

080A ;масиву

080A 12 STAX D ;перемістити елемент у дpугий

080B ;масив

080B 05 DCR B ;зменьшити лічильник на 1

080C C20708 JNZ TRUNS ;якщо утpимане B не рівне 0,

080F ;перейти на позначку TRUNS

080F 76 HLT

0810 02 ADR1: DB 02H

0811 7E ADR2: DB 7EH

0812 55h ADR3: DB 55H

0813 0000 ADR4: DB 00H,00H

**Контрольні питання**

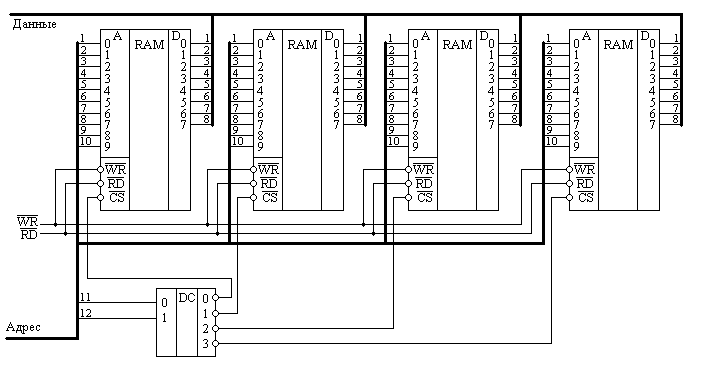
1. Інтерфейс МП з ПЗП.

2. Інтерфейс МП з 0ЗП.

3.Призначення та застосування дешифратора при звертанні до пам’яті.

4.Типи пам’яті.

**Додаткові матеріали**



Приклад схеми ОЗП

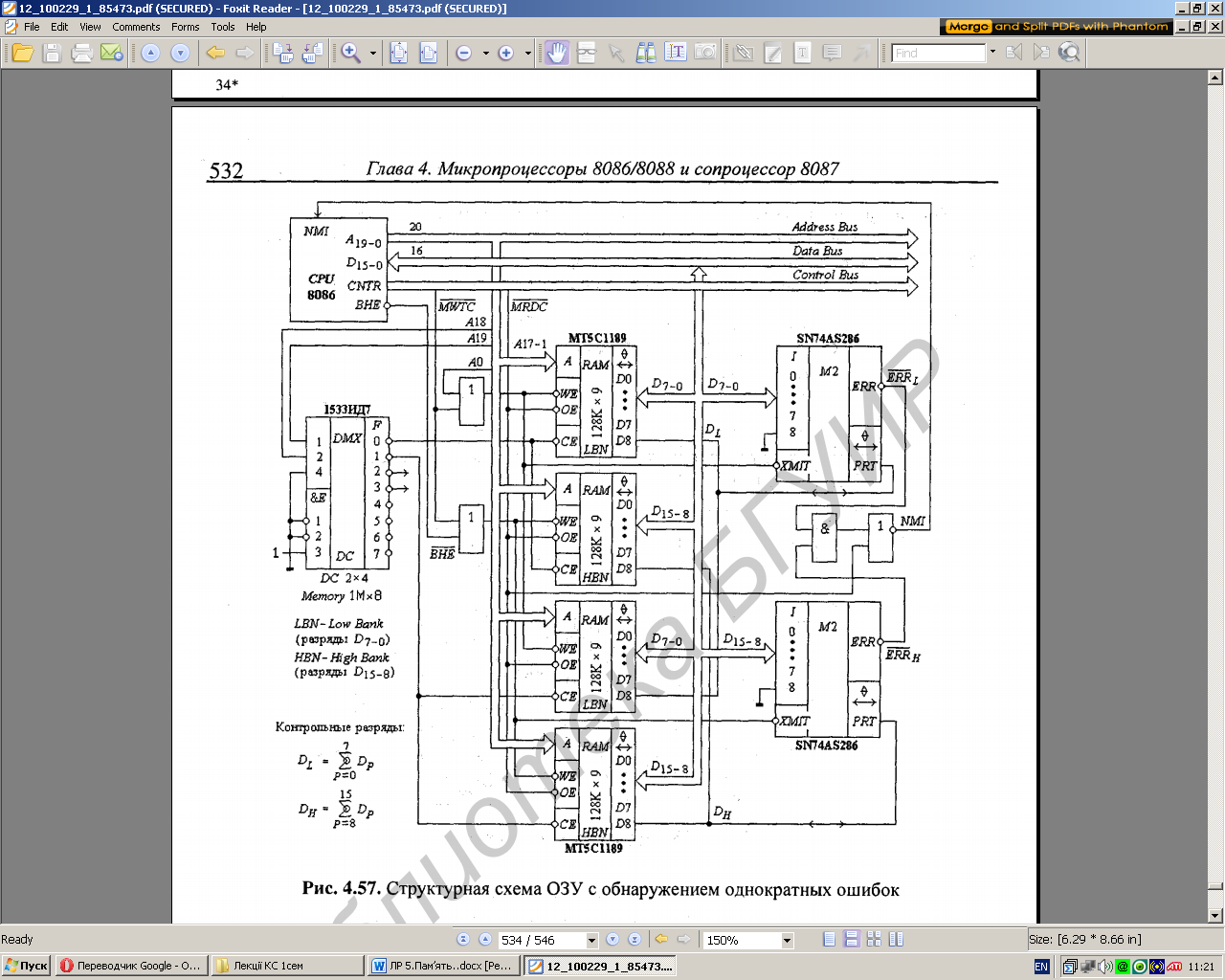
**Us-напруга живлення +5в**

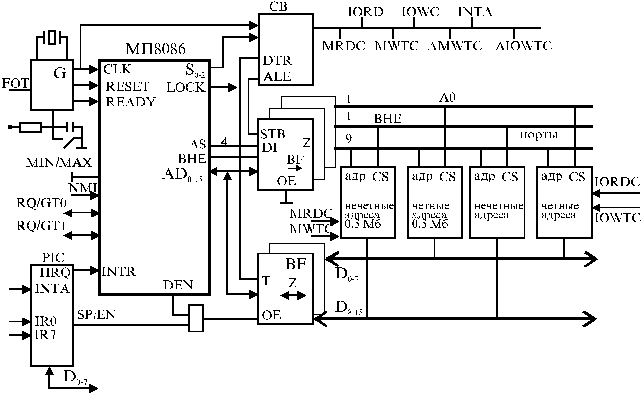
**Up-напруга програмування +12(24)в**

**/WЕ-сигнал запису**

**/CE-дозвіл виходу(читання)**

**/OE-вибір кристалу(мікросхеми)**





Приклад системи

